

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2005 EPO. All rts. reserv.

12809087

Basic Patent (No,Kind,Date): **JP 7326767 A2** 951212 <No. of Patents: 001>

THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY USING THAT (English)

Patent Assignee: SONY CORP

Author (Inventor): IKEDA HIROYUKI

IPC: *H01L-029/786; G02F-001/136

Derwent WPI Acc No: *C 96-109707; C 96-109707

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7326767	A2	951212	JP 94142633	A	940531 (BASIC)

Priority Data (No,Kind,Date):

JP 94142633 A 940531

Japanese Laid Open Patent Application No. H7-326767

(54) [Title] A THIN FILM TRANSISTOR AND A LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57) [Abstract]

[PURPOSE] The present invention is to provide a thin film transistor wherein a leakage current is reduced in the same degree element area as the area of an element thin film transistor and to improve the aperture rate of the pixel part of an LCD by using the thin film transistor for the switching transistor of the LCD.

[CONSTITUTION] A thin film transistor 1 comprises a laminating an active layer 21, a gate insulating film 13 and a gate electrode 14, and a source region 23 provided on one side of the layer 21 and a drain region 25 provided on the other side. The layer 21 is separated into plural active layers (such as first and second active layers 21A and 21B) by an isolation region 31 having the same conductivity as that of the source, drain regions 23, 25. The region 31 consists of a high-concentration diffused layer, and a low-concentration diffused layer or constitution wherein a high-concentration diffused layer is sandwiched between low-concentration diffused layers. Moreover, in a liquid crystal display device (not shown), the aforementioned thin film transistor 1 is used for a switching transistor of a pixel part.

740756-2138

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326767

(43) 公開日 平成7年(1995)12月12日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 H

審査請求 未請求 請求項の数5 F D (全 9 頁)

(21) 出願番号 特願平6-142633

(22) 出願日 平成6年(1994)5月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 裕幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

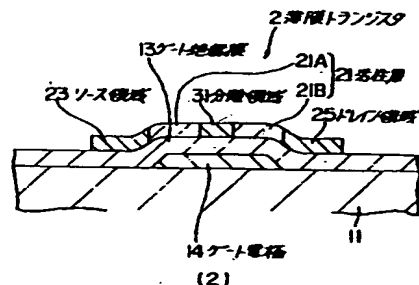
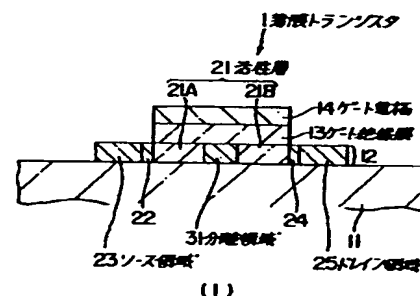
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 薄膜トランジスタおよびそれを用いた液晶表示装置

(57) 【要約】

【目的】 本発明は、単体の薄膜トランジスタと同程度の素子面積でリーク電流の低減が図れる薄膜トランジスタを提供し、その薄膜トランジスタをLCDのスイッチングトランジスタに用いることで画素部の開口率の向上を図る。

【構成】 活性層21とゲート絶縁膜13とゲート電極14とが積層され、活性層21の一方側にソース領域23を有し、同他方側にドレイン領域25を有する薄膜トランジスタ1であって、活性層21は、ソース、ドレイン領域23、25と同一導電性を有する分離領域31によって複数の活性層（例えば第1、第2活性層21A、21B）に分離されている。また分離領域31は、高濃度拡散層、低濃度拡散層または高濃度拡散層を低濃度拡散層で挟んだ構成からなる。さらに液晶表示装置（図示せず）において、画素部のスイッチングトランジスタに上記薄膜トランジスタ1を用いたものである。



本発明の発明例の断面構造図

【特許請求の範囲】

【請求項1】 活性層とゲート絶縁膜とゲート電極とが積層されていて、該活性層の一方側にソース領域を有し該活性層の他方側にドレイン領域を有する薄膜トランジスタにおいて、

前記活性層は、前記ソース領域および前記ドレイン領域と同一導電型を有する分離領域によって複数の活性層に分離されていることを特徴とする薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、

前記分離領域は、前記ソース領域および前記ドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなることを特徴とする薄膜トランジスタ。

【請求項3】 請求項1記載の薄膜トランジスタにおいて、

前記分離領域は、前記ソース領域および前記ドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなることを特徴とする薄膜トランジスタ。

【請求項4】 請求項1記載の薄膜トランジスタにおいて、

前記分離領域は、前記ソース領域および前記ドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなる第1分離領域と、前記ソース領域および前記ドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなるもので前記第1分離領域に接合する第2分離領域と、前記ソース領域および前記ドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなるもので前記第2分離領域に接合する第3分離領域とからなることを特徴とする薄膜トランジスタ。

【請求項5】 画素のスイッチングトランジスタに薄膜トランジスタを用いた液晶表示装置において、前記スイッチングトランジスタは、請求項1～請求項4のうちのいずれか1項に記載の薄膜トランジスタで形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタおよびそれをスイッチングトランジスタに用いた液晶表示装置に関するものである。

【0002】

【従来の技術】 液晶表示装置のスイッチングトランジスタには、単体の薄膜トランジスタ〔TFT (Thin Film Transistor) の略〕が用いられている。薄膜トランジスタを単体で用いた場合には、リーク電流を低減することが難しい。また薄膜トランジスタに損傷があった場合には、その薄膜トランジスタでスイッチングする画素が欠陥画素になる。そこで複数の薄膜トランジスタを直列に接続する構造、または複数のLDD (Lightly Doped Drain の略) 構造の薄膜トランジスタを直列に接続する構造が採用されている。

【0003】 二つの薄膜トランジスタを直列に接続した構成のスイッチングトランジスタを有する液晶表示装置の画素部を、一例として、図7の要部概略レイアウト図によって説明する。

【0004】 図に示すように、液晶表示装置201は、ゲート線211 (2点鎖線で示す部分) と信号線221 (1点鎖線で示す部分) とがほぼ格子状に配設されている。例えばゲート線211が水平方向に配設され、信号線221が垂直方向に配設されている。そして各ゲート線211上の一部分付近にスイッチングトランジスタ部231が形成され、各ゲート線211と各信号線221とで囲まれる領域に画素電極部241 (細線で示す部分) が形成されている。

【0005】 上記スイッチングトランジスタ部231に形成される薄膜トランジスタ (スイッチングトランジスタ) 251は、ゲート線211の一部分が逆へ字形状に形成され、逆へ字形状の屈曲部の両側がゲート電極252、253になっている。なお、逆へ字形状は一例であり、他の形状のものもある。各ゲート電極252、253の下方にはゲート絶縁膜 (図示せず) を介して活性層254、255が設けられている。

【0006】 上記活性層254の一方側には、 n^+ 型拡散層からなるドレイン領域256が設けられている。さらに活性層254の他方側で活性層255との間には、 n^+ 型拡散層257が設けられている。また活性層255の他方側には、 n^+ 型拡散層からなるソース領域258が設けられている。上記ソース領域258には画素電極部241の透明電極〔例えばITO (Indium Tin Oxide) 電極〕242が接続されている。また上記ドレイン領域256には信号線221が接続されている。

【0007】

【発明が解決しようとする課題】 しかしながら、複数の薄膜トランジスタを直列に接続した構造および複数のLDD構造の薄膜トランジスタを直列に接続した構造のいずれでも、薄膜トランジスタが占める素子面積が大きくなるため、画素領域の開口率が小さくなる。そのため、明るい表示素子を形成することが困難になっている。

【0008】 本発明は、単体の薄膜トランジスタと同程度の素子面積でリーク電流の低減を図るのに優れている薄膜トランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、上記目的を達成するためになされた薄膜トランジスタである。すなわち、活性層とゲート絶縁膜とゲート電極とが積層されていて、活性層の一方側にソース領域を有し、その活性層の他方側にドレイン領域を有する薄膜トランジスタであって、上記活性層は、ソース領域およびドレイン領域と同一導電型を有する分離領域によって複数の活性層に分離されているものである。上記分離領域は、ソース領域

およびドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなる。または、ソース領域およびドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなる。あるいは、ソース領域およびドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなる第1分離領域と、ソース領域およびドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなるもので第1分離領域に接合する第2分離領域と、ソース領域およびドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなるもので第2分離領域に接合する第3分離領域とからなる。

【0010】画素のスイッチングトランジスタに薄膜トランジスタを用いた液晶表示装置であって、上記スイッチングトランジスタは上記いずれかの構成の薄膜トランジスタで形成されているものである。

【0011】

【作用】上記薄膜トランジスタでは、活性層が、ソース領域およびドレイン領域と同一導電型を有する分離領域によって複数の活性層に分離されていることから、例えば、活性層に一つの分離領域を設けた場合にはその分離領域によって第1、第2活性層に分離される。このため、2個の薄膜トランジスタを直列に接続したものと等価になる。しかも素子面積は1個の薄膜トランジスタとほとんど変わらない。また上記分離領域は、高濃度拡散層、低濃度拡散層または高濃度拡散層を低濃度拡散層で挟んだ第1、第2、第3分離領域からなることから、いずれの分離領域によっても活性層は複数に分離される。また第1、第2、第3分離領域を順に接合した分離領域によって活性層を分離したことから、分離した各活性層を有する各薄膜トランジスタはLDD (Lightly Doped Drain) 構造になる。

【0012】画素のスイッチングトランジスタを上記いずれかの構成の薄膜トランジスタで形成した液晶表示装置では、単個の薄膜トランジスタを直列に接続したものよりも薄膜トランジスタの占める面積が小さくなる。このため、薄膜トランジスタの占める面積を狭くした分だけ画素の面積を大きくすることが可能になるので、画素の開口率が大きくなる。

【0013】

【実施例】本発明の実施例を図1の概略構成断面図により説明する。図では(1)にプレーナ型薄膜トランジスタの概略断面図を示し、(2)に逆スタガード型薄膜トランジスタの概略断面図を示す。

【0014】図1の(1)に示すように、薄膜トランジスタ1は、一例として、以下のような構成になっている。すなわち、基板11上には半導体層12が設けられている。この半導体層12上の一部分にはゲート絶縁膜13を介してゲート電極14が形成されている。上記ゲート電極14の下方の半導体層12には、例えば不純物がドーピングされたp-型多結晶シリコン層からなる活

性層21が形成されている。また上記ゲート電極14の一方側の半導体層12には、ゲート電極14側よりn-型半導体からなるLDD拡散層22とn+型半導体からなるソース領域23とが形成されている。また上記ゲート電極14の他方側の半導体層12には、ゲート電極14側よりn-型半導体からなるLDD拡散層24とn+型半導体からなるドレイン領域25が形成されている。

【0015】上記活性層21には、ソース領域23およびドレイン領域25に直接に接合することなくかつ該活性層21を複数(図では二つ)に分離する状態に、上記ソース、ドレイン領域23、25と同一導電型を有する分離領域31が設けられている。したがって、分離領域31によって、活性層21はソース領域23に接続する第1活性層21Aとドレイン領域25に接続する第2活性層21Bに分離される。

【0016】上記薄膜トランジスタ1では、分離領域31によって活性層21は第1活性層21Aと第2活性層21Bとに分離される。このため、薄膜トランジスタ1は、2個の薄膜トランジスタを直列に接続したものと等価になる。

【0017】なお上記説明では、LDD拡散層22、24を形成した薄膜トランジスタ1を示したが、例えばLDD拡散層22、24を形成しない構造のものであっても、分離領域31によって活性層21を分離することは可能である。

【0018】次に、逆スタガード型の薄膜トランジスタを一例にして説明する。図では、上記(1)で説明したのと同様の構成部品には同一の符号を付す。

【0019】図1の(2)に示すように、薄膜トランジスタ2は以下のような構成になっている。すなわち、少なくとも表面が絶縁性の基板11上にはゲート電極14が形成されている。さらにこのゲート電極14を覆う状態にゲート絶縁膜13が形成されている。そして上記ゲート電極14の上方のゲート絶縁膜13上には活性層21が形成されている。この活性層21は、例えば不純物がドーピングされていない非晶質シリコンからなる。上記活性層21の一方側には、該活性層21に接続する状態にn+型半導体層からなるソース領域23が形成されている。また、活性層21の他方側には、該活性層21に接続する状態にn+型半導体層からなるドレイン領域25が形成されている。

【0020】なお、上記活性層21と上記ドレイン領域25との間にはLDD拡散層(図示せず)が形成されていてもよい。さらに上記活性層21と上記ソース領域23との間にもLDD拡散層(図示せず)が形成されていてもよい。

【0021】上記活性層21には、ソース領域23およびドレイン領域25に直接に接合することなくかつ該活性層21を複数(図では二つ)に分離する状態に、上記ソース、ドレイン領域23、25と同一導電型を有する

分離領域31が設けられている。したがって、分離領域31によって活性層21は、ソース領域23側の第1活性層21Aとドレイン領域25側の第2活性層21Bに分離される。

【0022】上記構成の薄膜トランジスタ2では、活性層21は上記ソース、ドレイン領域23、25と同じ導電型の分離領域31によって、第1活性層21Aと第2活性層21Bとに分離される。このため、薄膜トランジスタ2は2個の薄膜トランジスタを直列に接続したものと等価になる。

【0023】次に、ゲート電極に対する活性層と分離領域とのレイアウトの実施例を、図2のレイアウト図によって説明する。図では、代表して上記薄膜トランジスタ1の活性層21および分離領域31を示す。なお、ここで説明する活性層と分離領域の構成は、上記図1の(2)で説明した逆スタガード型の薄膜トランジスタ2にも適用可能である。

【0024】図2の(1)に示すように、ゲート線111(2点鎖線で示す部分)に接続されているゲート電極14(2点鎖線で示す部分)の下方には、活性層21が設けられている。この活性層21の一方側にはLDD拡散層22を介してソース領域23が設けられ、同活性層21の他方側にはLDD拡散層24を介してドレイン領域25が設けられている。上記活性層21には、ゲート幅方向に横断する状態に分離領域31が形成されている。したがって、分離領域31によって、上記活性層21は第1活性層21Aと第2活性層21Bとに分離されている。

【0025】なお、図示はしていないが、ゲート電極14と活性層21との間にはゲート絶縁膜(13)が形成されている。また上記LDD拡散層22、24は設けなくても差し支えない。

【0026】次に図2の(2)に示すように、ゲート線111(2点鎖線で示す部分)に接続されているゲート電極14(2点鎖線で示す部分)の下方の一方側には第1活性層21Aが設けられている。この第1活性層21Aにはソース領域23が接続されている。また上記ゲート電極14の下方の他方側には、上記第1活性層21Aに接合することなく第2活性層21Bが設けられている。この第2活性層21Bにはドレイン領域25が接続されている。そして上記第1、第2活性層21A、21Bの例えばゲート線111側には、各第1、第2活性層21A、21Bに接合する分離領域31が設けられている。

【0027】なお、図示はしていないが、ゲート電極14と活性層21との間にはゲート絶縁膜(13)が形成されている。また第2活性層21Bとドレイン領域25との間にLDD拡散層(図示せず)を設けることも可能である。さらに第1活性層21Aとソース領域23との間にLDD拡散層(図示せず)を設けても差し支えな

い。

【0028】次に上記図2の(1)で説明した分離領域の構成を、図3のレイアウト図によって説明する。図では、代表して上記薄膜トランジスタ1の活性層および分離領域を示す。そして、ここで説明する活性層と分離領域の構成は、上記図1の(2)で説明した逆スタガード型の薄膜トランジスタ2にも適用可能である。

【0029】図3の(1)に示すように、活性層21は、例えば p^- 型の不純物がドーピングされている。または不純物がドーピングされていない非晶質シリコンからなる。そして活性層21には、第1、第2活性層21A、21Bに分離するもので、ソース、ドレイン領域(23、25)とほぼ同等の不純物濃度を有する n^+ 型高濃度拡散層からなる分離領域31がゲート幅方向に沿って形成されている。

【0030】図3の(2)に示すように、活性層21は、例えば p^- 型の不純物がドーピングされている。または不純物がドーピングされていない非晶質シリコンからなる。そして活性層21には、第1、第2活性層21A、21Bに分離するもので、ソース、ドレイン領域(23、25)よりも低い不純物濃度を有する n^- 型の低濃度拡散層からなる分離領域31がゲート幅方向に沿って形成されている。この分離領域31の不純物濃度は、例えばLDD構造の n^- 型低濃度拡散層と同程度の不純物濃度を有する。

【0031】図3の(3)に示すように、活性層21は、例えば p^- 型の不純物がドーピングされている。または不純物がドーピングされていない非晶質シリコンからなる。そして活性層21には、第1、第2活性層21A、21Bに分離するもので、ソース、ドレイン領域(23、25)よりも低い不純物濃度を有する n^- 型の第1分離領域31Aがゲート幅方向に設けられている。さらに第1分離領域31Aに接合する状態に、ソース、ドレイン領域(23、25)と同程度の不純物濃度を有する n^+ 型の第2分離領域31Bが設けられている。さらにまた第2分離領域31Bに接合する状態にソース、ドレイン領域(23、25)よりも低い不純物濃度を有する n^- 型の第3分離領域31Cが設けられている。したがって、第1、第2、第3分離領域31A、31B、31Cはほぼ並行にゲート幅方向に沿って設けられている。また、上記第1、第3分離領域31A、31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0032】次に上記図2の(2)で説明した分離領域の構成を、図4のレイアウト図によって説明する。図では、代表して上記薄膜トランジスタ1の活性層および分離領域を示す。なお、ここで説明する活性層と分離領域の構成は、上記図1の(2)で説明した逆スタガード型の薄膜トランジスタ2にも適用可能である。

【0033】図4の(1)に示すように、第1、第2活

性層21A, 21Bには、例えば p^- 型の不純物がドーピングされている。そして分離領域31は、ソース、ドレイン領域(23, 25)とほぼ同等の不純物濃度を有する n^+ 型高濃度拡散層からなり、第1, 第2活性層21A, 21Bに接合してゲート長方向に形成されている。

【0034】図4の(2)に示すように、第1, 第2活性層21A, 21Bには、例えば p^- 型の不純物がドーピングされている。そして分離領域31は、ソース、ドレイン領域(23, 25)よりも低い不純物濃度を有する n^- 型の低濃度拡散層からなり、第1, 第2活性層21A, 21Bに接合してゲート長方向に形成されている。この分離領域31の不純物濃度は、例えばLDD構造の n^- 型低濃度拡散層と同程度の不純物濃度を有する。

【0035】図4の(3)に示すように、第1, 第2活性層21A, 21Bには、例えば p^- 型の不純物がドーピングされている。そして分離領域31は、第1, 第2, 第3分離領域31A, 31B, 31Cからなり、第1分離領域31Aと第3分離領域31Cは、互いに接合することなくほぼゲート長方向に沿って配置され、それぞれに対して並行に配置されている第2分離領域31Bに接合されている。また第1分離領域31Aには、上記第1活性層21Aが接合されている。さらに第3分離領域31Cには、第2活性層21Bが接合されている。

【0036】上記第1分離領域31Aはソース、ドレイン領域(23, 25)よりも低い不純物濃度を有する n^- 型拡散層からなり、第2分離領域31Bはソース、ドレイン領域(23, 25)と同程度の不純物濃度を有する n^+ 型拡散層からなる。また第3分離領域31Cは、第1分離領域31Aと同様にソース、ドレイン領域(23, 25)よりも低い不純物濃度を有する n^- 型拡散層からなる。上記第1, 第3分離領域31A, 31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0037】上記図3, 図4で説明した分離領域31のいずれの構成でも、第1, 第2活性層21A, 21B)に分離される。したがって、薄膜トランジスタ1(2)は、単体の薄膜トランジスタを直列に接続したのと等価になる。また第2分離領域31Bの不純物濃度よりも低濃度の第1, 第3不純物領域31A, 31Cを設けたものでは、分離された各薄膜トランジスタはLDD (Lightly Doped Drain) 構造の薄膜トランジスタになる。

【0038】上記図1~図4では、 n チャネル型の薄膜トランジスタ1(2)を一例にして説明した。上記説明したように活性層を分離領域によって分離する構造は、 p チャネル型の薄膜トランジスタにも適用できる。その場合には、上記説明において、導電型を n 型は p 型に、 p 型は n 型に置き換えればよい。

【0039】次に上記薄膜トランジスタ1(2)を液晶

表示装置のスイッチングトランジスタに用いた構成を、図5の要部概略レイアウト図によって説明する。図では、アクティブマトリックス形表示デバイスにおける液晶表示装置101を説明する。そして、代表として、上記図3の(3)で説明した構成の分離領域を有する薄膜トランジスタ1を採用したもので説明する。

【0040】図5に示すように、液晶表示装置101は、ゲート線111(2点鎖線で示す部分)と信号線121(1点鎖線で示す部分)とが格子状に配設されている。例えばゲート線111が水平方向に配設され、信号線121が垂直方向に配設されている。そして各ゲート線111と各信号線121とで囲まれる領域にスイッチングトランジスタ部131と画素電極部141(細線で示す部分)とが形成されている。

【0041】上記スイッチングトランジスタ部131に形成される薄膜トランジスタ(スイッチングトランジスタ)1には、ゲート線111に接続するゲート電極14と、その下方に形成したゲート絶縁膜(図示せず)と活性層21とが設けられている。上記活性層21の一方側には、 n^- 型拡散層からなるLDD拡散層22を介して、 n^+ 型拡散層からなるソース領域23が設けられている。さらに他方側には、 n^- 型拡散層からなるLDD拡散層24を介して、 n^+ 型拡散層からなるドレイン領域25が設けられている。上記ソース領域23には画素電極部141の透明電極(例えば、ITO (Indium Tin Oxide) 電極)142が接続されている。また上記ドレイン領域25には信号線121が接続されている。

【0042】そして活性層21には、ゲート幅方向に沿って分離領域31が設けられている。この分離領域31は、ゲート幅方向に沿って並行に設けた第1, 第2, 第3分離領域31A, 31B, 31Cからなる。第1分離領域31Aは、ソース領域23およびドレイン領域25よりも低い不純物濃度を有する n^- 型拡散層からなる。第2分離領域31Bは、ソース領域23およびドレイン領域25と同程度の不純物濃度を有する n^+ 型拡散層からなり、第1分離領域31Aに接合している。第3分離領域31Cは、ソース領域23およびドレイン領域25よりも低い不純物濃度を有する n^- 型拡散層からなり、第2分離領域31Bに接合している。また、上記第1, 第3分離領域31A, 31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0043】次に液晶表示装置の別の構成例を、図6の要部レイアウト図によって説明する。図では、上記図5で説明したのと同様の構成部品には同一符号を付す。

【0044】図6に示すように、液晶表示装置101は、ゲート線111(2点鎖線で示す部分)と信号線121(1点鎖線で示す部分)とが格子状に配設されている。例えばゲート線111が水平方向に配設され、信号線121が垂直方向に配設されている。そして各ゲート

線111と各信号線121とで囲まれる領域にスイッチングトランジスタ部131と画素電極部141(細線で示す部分)とが形成されている。

【0045】上記スイッチングトランジスタ部131に形成される薄膜トランジスタ(スイッチングトランジスタ)1には、ゲート線111に接続するゲート電極14(2点鎖線で示す部分)が設けられている。ゲート電極14の下方の一方側には第1活性層21Aが設けられている。この第1活性層21Aにはソース領域23が接続されている。また上記ゲート電極14の下方の他方側には、上記第1活性層21Aに接合することなく第2活性層21Bが設けられている。この第2活性層21Bにはドレイン領域25が接続されている。そして上記第1、第2活性層21A、21Bの例えばゲート線111側には、各第1、第2活性層21A、21Bに接合する分離領域31が設けられている。

【0046】上記分離領域31は、第1、第2、第3分離領域31A、31B、31Cからなる。第1分離領域31Aと第3分離領域31Cは、互いに接合することなくほぼゲート長方向に沿って配置され、それぞれに対して並行に配置されている第2分離領域31Bに接合されている。また第1分離領域31Aには、上記第1活性層21Aが接合されている。さらに第3分離領域31Cには、第2活性層21Bが接合されている。

【0047】上記第1分離領域31Aはソース、ドレイン領域(23、25)よりも低い不純物濃度を有する n^- 型拡散層からなり、第2分離領域31Bはソース、ドレイン領域(23、25)と同程度の不純物濃度を有する n^+ 型拡散層からなる。また第3分離領域31Cは、第1分離領域31Aと同様にソース、ドレイン領域(23、25)よりも低い不純物濃度を有する n^- 型拡散層からなる。上記第1、第3分離領域31A、31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0048】上記ソース領域23には画素電極部141の透明電極(例えばITO(Indium Tin Oxide)電極)142が接続されている。また上記ドレイン領域25には信号線121が接続されている。

【0049】上記液晶表示装置101では、スイッチングトランジスタに上記構成の薄膜トランジスタ1を用いることによって、二つの単体の薄膜トランジスタを直列に接続して用いた構成のものよりもスイッチングトランジスタのセル面積が縮小される。例えば、従来の二つの薄膜トランジスタを直列に接続したものよりも画素の開口率をおよそ20%大きくすることが可能になる。また、上記説明した薄膜トランジスタ1の代わりに、上記図1の(2)で説明した薄膜トランジスタ2を用いることもできる。以上、活性層21と分離領域31の配置の例を上記図2の(1)、(2)で説明したが、これらの配置デザインに限られることはなく、また発明の効果も

上記説明した配置例と同様に得られる。さらに分離領域31の構成は、上記図3、図4で説明したいずれの構成のものを採用してもよい。

【0050】

【発明の効果】以上、説明したように本発明によれば、ソース領域およびドレイン領域と同一導電型を有する分離領域によって活性層が複数に分離されているので、複数の薄膜トランジスタを直列に接続したのと等価になる。このため、薄膜トランジスタのリーク電流を低減することができる。また分離した一方の薄膜トランジスタに損傷があっても、他方の薄膜トランジスタによって補償される。このため、画素欠陥を低減することができる。さらに単体の薄膜トランジスタの活性層に分離領域を設けて活性層を複数に分離したので、薄膜トランジスタの占める面積は単体の薄膜トランジスタとほぼ同等になる。このため、画素領域の開口率が小さくなることはない。そのため、明るい表示素子を形成することができる。

【0051】画素のスイッチングトランジスタを本発明の薄膜トランジスタで形成した液晶表示装置では、単体の薄膜トランジスタを直列に接続したものよりも薄膜トランジスタの占める面積が小さくなる。このため、薄膜トランジスタの占める面積を狭くした分だけ画素の面積を大きくすることが可能になるので、画素の開口率が大きくなる。したがって、液晶表示装置の画面を明るくすることができる。

【図面の簡単な説明】

【図1】本発明の実施例の概略構成断面図である。

【図2】ゲート電極に対する活性層と分離領域のレイアウト図である。

【図3】分離領域の構成のレイアウト図である。

【図4】分離領域の構成のレイアウト図である。

【図5】液晶表示装置の要部概略レイアウト図である。

【図6】別の液晶表示装置の要部概略レイアウト図である。

【図7】従来の液晶表示装置の要部概略レイアウト図である。

【符号の説明】

1 薄膜トランジスタ

2 薄膜トランジスタ

13 ゲート絶縁膜

14 ゲート電極

21 活性層

23 ソース領域

25 ドレイン領域

31 分離領域

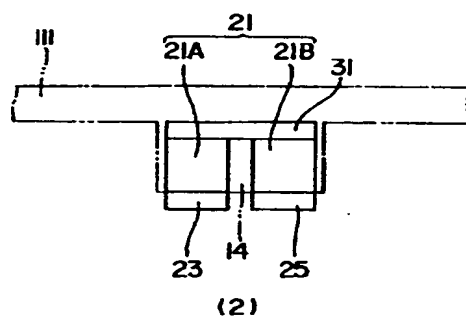
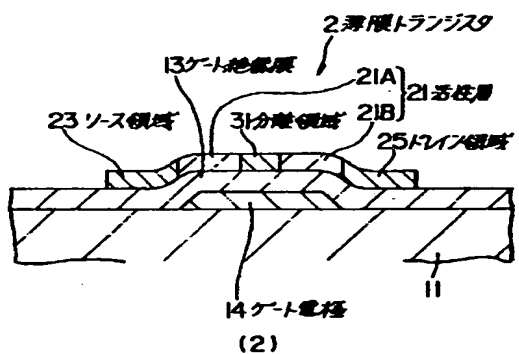
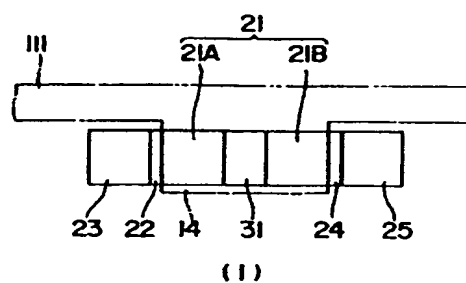
31A 第1分離領域

31B 第2分離領域

31C 第3分離領域

101 液晶表示装置

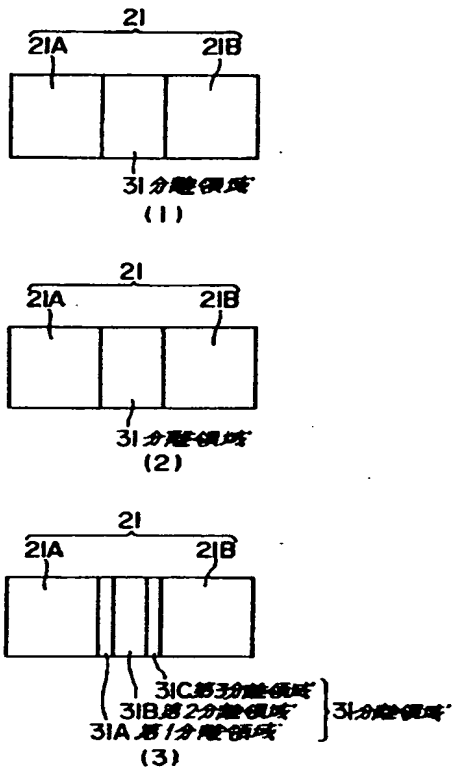
【図2】



ゲート電極に対する活性層と分離領域のレイアウト図

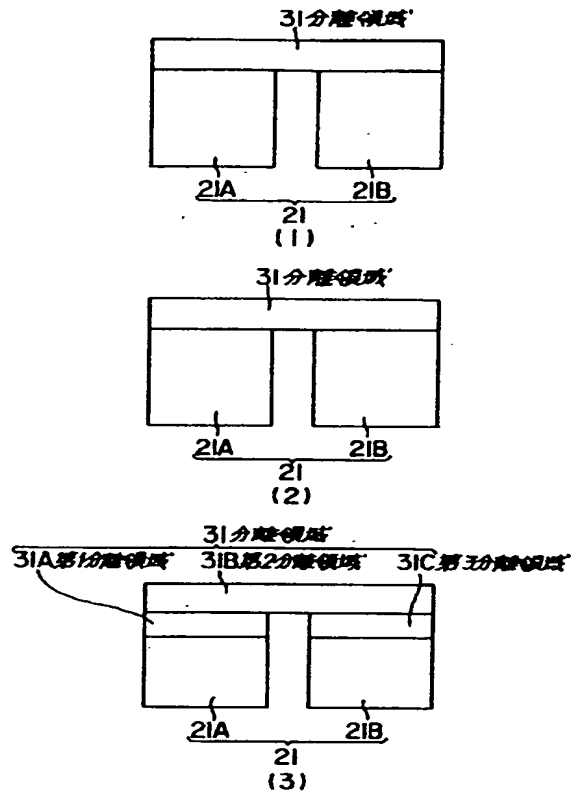
本発明の実施例の概略構成断面図

【図3】



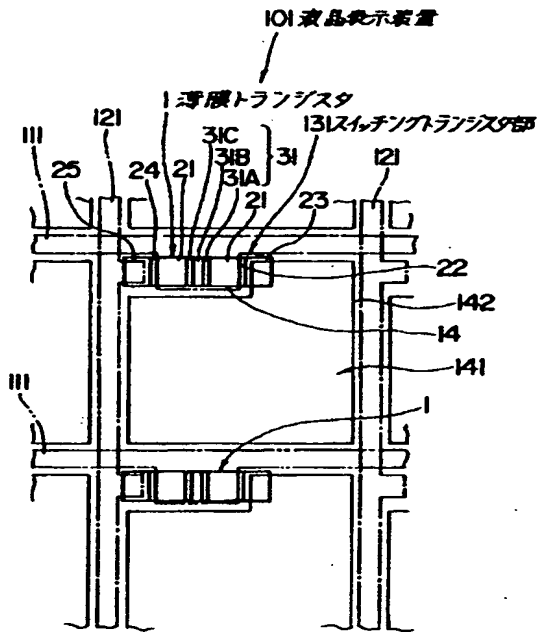
分離領域の構成のレイアウト図

【図4】



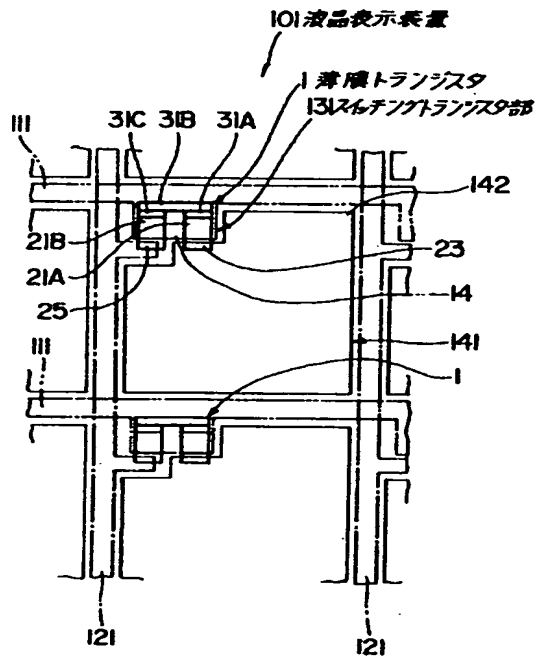
分離領域の構成のレイアウト図

【図5】



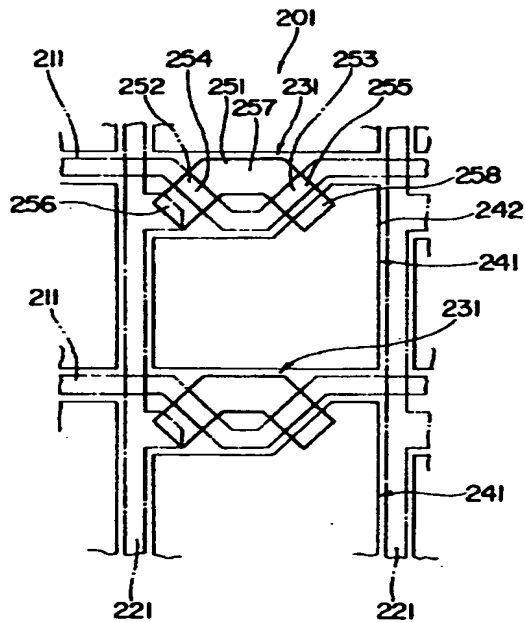
液晶表示装置の各部概略レイアウト図

【図6】



別の液晶表示装置の各部概略レイアウト図

【図7】



従来の液晶表示装置の各部概略レイアウト図